

ATSC 8-VSB 调制器的一种数字化实现方式

蔡祁鹏, 王宏远

(华中理工大学电信系, 湖北武汉 430074)

摘要: 近些年来, 高清晰度电视技术引起了世界的广泛关注. 本文介绍了一种用数字方式实现美国数字电视地面广播系统中的 8 VSB 调制器的方法. 提出了系统的总体要求, 并且分析了系统的数学原理. 详细的阐述了系统的硬件设计, 逻辑仿真和实现.

关键词: 8 VSB; 调制器; 内插滤波; 多相结构; 频谱成型滤波器; FPGA

中图分类号: TN761.6 **文献标识码:** A **文章编号:** 0372-2112 (2001) 07-0937-03

Implementation Scheme of ATSC 8-VSB Modulator by Using Digital Methods

CAI Qi peng, WANG Hong-yuan

(Dept. of E & I, Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract: HDTV has attracted worldwide attentions these years with the impact of increasing demand as well as technological maturity. This paper describes the realization of ATSC 8-VSB Modulator of the VSB-based HDTV terrestrial broadcasting system by using almost all digital methods. It gives an overview of the system requirements and analyses the mathematical equations of our method. Finally, the hardware design method and realization are presented.

Key words: 8 VSB; modulator; interpolation; polyphase structure; shaping filter; FPGA

1 引言

随着人们对电视图像质量要求的不断提高, HDTV 技术不断得到发展. 近些年, 数字信号处理技术和超大规模集成电路技术的快速发展, 使得采用全数字化技术的实现 HDTV 成为可能. 美国和欧洲分别提出了自己的全数字化 HDTV 标准. 两者在图像压缩编码系统中均采用了 MPEG-2 方案. 但是, 在数字电视地面广播 (DTTB) 系统中采用了两种完全不同的数字调制方式: 美国高级电视制式委员会 (ATSC) 数字电视标准采用的 Trellis Coding 8 VSB 系统^[1] 和欧洲 DVB-T 标准中采用的 COFDM 调制系统. ATSC 8-VSB 系统对加性高斯白噪声 (AWGN) 信道更耐用, 且具有更高的频谱效率、更低的峰峰值/平均值功率比, 而且对脉冲噪声和相位噪声的抗干扰能力更强^[2]. 在 8 VSB 系统中, 8 VSB 调制器对于系统的性能是个关键. 在 ATSC 的 DTTB 标准中, 没有提出 8 VSB 调制器的实现方法. 本文在概述了 VSB 调制的原理后, 提出全数字化的方案并进行了分析, 并重点讨论了使用现场可编程门阵列 (FPGA) 来实现这一系统.

2 系统方案设计

2.1 残留边带 (VSB) 调制原理概述

残留边带 (VSB) 调制的原理很类似于单边带 (SSB) 调制. 因此, 用于 SSB 调制的系统结构也可以用于 VSB 调制系统. 两者的主要区别在于频谱成型滤波器的频谱特性, VSB 系统

的频谱成型滤波器的过渡带特性更加平滑. 对于 VSB 调制技术, 人们通常使用两种方法: 直接滤波法和 Weaver 法^[3]. 直接滤波法是使用模拟滤波器, 直接对中频信号进行滤波, 如图 1 所示. 这种方法的结构简单, 但是对残留边带滤波器 $H(f)$ 的要求很高, 不容易到达标准的要求. Weaver 法实现下边带 VSB 调制的结构框图如图 2 所示. 首先, 使用移相技术将实基带信号转换为复基带信号. 然后使用一对频谱

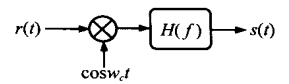


图 1 VSB 调制——直接滤波法

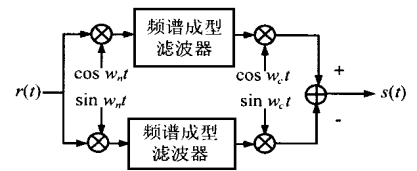


图 2 VSB 调制——Weaver 法

特性完全相同的低通滤波器进行滤波. 最后, 再用移相技术生成实的 VSB 信号. 下面将在 Weaver 法的基础上, 结合 ATSC 8-VSB 系统的要求, 提出全数字的实现方案.

2.2 系统设计

按照 ATSC 8-VSB 标准的规定, 系统应该以 6MHz 的模拟带宽来传输符号率为 10.76MHz 的 8-VSB 信号. 同时, 标准还对 8-VSB 信号的频谱特性做了相应的规定. 这就决定了系统中使用的频谱成型滤波器是等效带宽 5.38MHz, 滚降系数

11. 5% 的平方根升余弦 Nyquist 滤波器. 用数字滤波器来实现频谱成型滤波器的好处之一就是可以比较灵活, 精确的设计过渡带特性, 而且降低了对声表面波器件(SAW)的要求. 系统框图如图 3 所示.

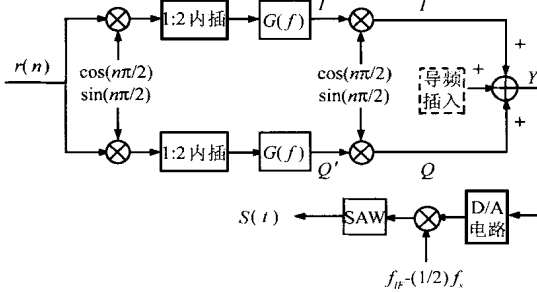


图 3 系统框图

系统中采用了数字移相, 整数倍内插 FIR 滤波^[4]和数字低中频技术, 使得 VSB 信号的频谱成型可以在数字域中完成. 然后, 用 D/A 电路将数字信号转变为模拟信号, 再调制到 44MHz 的中频上. 标准的中频信号可以直接送给后级的上变频电路生成用于发射的 RF 信号.

由于采用了数字低中频, 使得我们所需准确表达的带宽大于 6MHz. 系统中 $r(n)$ 的码速率 $f_s = 10.76\text{MHz}$. 根据 Nyquist 低通抽样定理: 抽样频率要大于带宽的两倍, 10.76MHz 的抽样频率显然是不够的. 因此在系统中采用了 1:2 的内插滤波, 使抽样频率提高到 21.52MHz. 需要注意的是, 在内插前有:

$$\cos \frac{n\pi}{2} = \cos\left(\frac{2\pi f_s}{4} \times nT_s\right), \sin \frac{n\pi}{2} = \sin\left(\frac{2\pi f_s}{4} \times nT_s\right)$$

等效于用一对正交的, 频率为 $f_s/4$ 的数字载波对实码流 $r(n)$ 进行调制, 产生复基带信号. 在 1:2 内插和 $G(f)$ 低通滤波以后码流速率变为了 $2f_s$, 即码元周期变为 $T_s/2$. 这时有:

$$\cos \frac{n\pi}{2} = \cos\left[\frac{2\pi f_s}{2} \times \left(\frac{nT_s}{2}\right)\right], \sin \frac{n\pi}{2} = \sin\left[\frac{2\pi f_s}{2} \times \left(\frac{nT_s}{2}\right)\right]$$

也就是说系统采用的数字低中频的频率为 $f_s/2 = 5.38\text{MHz}$.

设 $r(n)$ 对应的傅立叶变换为 $R(f)$, 则:

I 处的频域表达式为:

$$\frac{1}{2}[R(f + \frac{1}{4}f_s) + R(f - \frac{1}{4}f_s)] \times G(f) \quad (1)$$

Q 处的频域表达式为:

$$\frac{1}{4}[R(f + \frac{3}{4}f_s) + R(f + \frac{1}{4}f_s)] \times G(f + \frac{1}{2}f_s) + \frac{1}{4}[R(f - \frac{1}{4}f_s) + R(f - \frac{3}{4}f_s)] \times G(f - \frac{1}{2}f_s) \quad (2)$$

图 4 显示了 I 通道的频域变换关系. 同理, 可以得到 Q

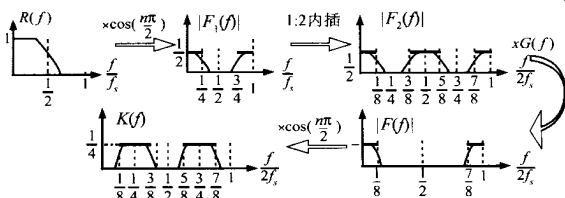


图 4 I 通道频域变换关系

处的频谱如图 5 所示, 其频域表达式为:

$$\frac{1}{4}[R(f - \frac{3}{4}f_s) + R(f + \frac{1}{4}f_s)] \times G(f + \frac{1}{2}f_s) + \frac{1}{4}[R(f - \frac{1}{4}f_s) + R(f - \frac{3}{4}f_s)] \times G(f - \frac{1}{2}f_s) \quad (3)$$

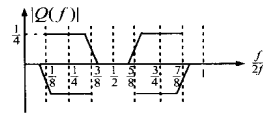


图 5 Q 点处频谱图

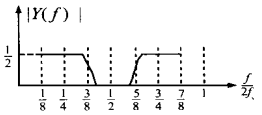


图 6 Y 点处频谱图

图 6 为 Y 处的频谱, Y 处的频域表达式等于 I, Q 两处的频域表达式之和:

$$\frac{1}{2}R(f + \frac{1}{4}f_s) \times G(f + \frac{1}{2}f_s) + \frac{1}{2}R(f - \frac{1}{4}f_s) \times G(f - \frac{1}{2}f_s) \quad (4)$$

虽然图中画的是单边带频谱, 但是其结论完全适用于残留带频谱. 数字信号的频谱是周期性的, 因此需用 D/A 电路取出基频部分的信号. 然后, 使用平衡调幅的方法, 把信号调制到所需的中频上去.

3 系统的硬件设计与实现

3.1 数字滤波器的设计

在带宽受限数字传输系统中, 数字频谱成型滤波器 $G(f)$ 用于限制信号带宽和减少码间串扰. 使用线性相位的 FIR 滤波器来实现无码间串扰的 Nyquist 滤波器已经是一项十分通用的技术了. 这里, 根据系统需要达到的要求, 我们使用平方根升余弦 Nyquist 冲击响应和 Hamming 窗来设计线性相位 FIR 滤波器. 我们使用 Matlab 软件来设计和调整滤波器的阶数和系数的量化字长. 经过不断修正, 我们选择的滤波器阶数为 79 阶, 系数量

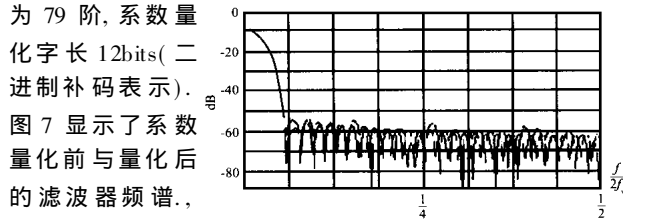


图 7 频谱成型滤波器特性

化字长 12bits (二进制补码表示). 图 7 显示了系数量化前与量化后的滤波器频谱, 从图中可以看出虽然有限字长效应使滤波器频谱特性有所恶化, 但是由于量化字长较长, 其性能还是能够满足阻带 -56dB 要求的.

3.2 硬件结构设计

我们首先分析一下, $\cos(n\pi/2)$ 实际上是一个 1, 0, -1, 0 的周期序列, 而 $\sin(n\pi/2)$ 实际上是一个 0, 1, 0, -1 的周期序列. 这样, 如果把输入序列 $\{r(n)\}$ 分解为序列 $\{r(2k)\}$ 和序列 $\{r(2k+1)\}$, 然后分别变换成序列 $\{(-1)^k r(2k)\}$ 和序列 $\{(-1)^{k+1} r(2k+1)\}$. 那么 $\cos(n\pi/2)$ 可以看成是对序列 $\{(-1)^k r(2k)\}$ 的 1:2 内插, $\sin(n\pi/2)$ 可以看成是对序列 $\{(-1)^{k+1} r(2k+1)\}$ 的 1:2 内插. 这样, 我们就可以把 $\cos(n\pi/2)$ 与 1:2 内插合并为一个 1:4 内插. 同理, $\sin(n\pi/2)$ 也可以与 1:2 内插合并为一个 1:4 内插.

我们知道, FIR 滤波器的实现涉及到大量的乘法运算. 当需要实现高速的 FIR 滤波器时, 在短时间内进行大量的乘法

运算就对器件提出了很高的要求. 因此, 实现一个多抽样率系统时, 总是设法把乘法运算安排在低抽样率的一侧, 以使每秒钟内的乘法次数最少^[4]. 根据文献[4], 可以使用换向型的多相结构来实现 1/4 的内插滤波, 其结构框图如图 8 所示.

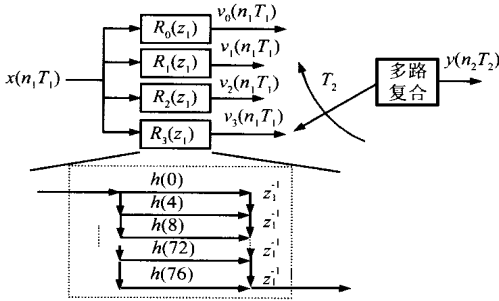


图 8 多抽样 FIR 滤波器的换向式多相结构

其中, $R_m(z_1) = \sum_{n=0}^{10} h(4n + 3 - m) z_1^{-n}$ ($m = 0, 1, 2, 3$), 结构如图 8 虚线框中所示.

对于实现数字 FIR 滤波器来说, 怎样设计乘法器来满足对乘法运算速度的要求是一个关键. FIR 滤波器的系数是固定的. 因此, 它的乘法器的一个参数是固定值. 我们在系统中采用查表相加法实现乘法器. 系统的输入码元为 3bits, 滤波器系数为 12bits, 结果用 15bits 表示, 如图 9 所示.

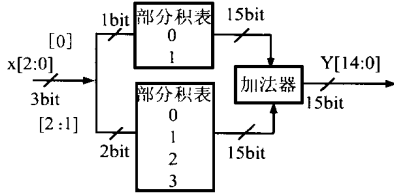


图 9 固定系数乘法器

在实现 ATSC 8-VSB 调制器时, 还需要注意的一个问题是导频的插入. 文献[1]中要求给序列 $\{r(n)\}$ 中的每个值加入 +1.25 的数字直流电平, 用于产生一个导频信号. 我们注意到, 一个数字直流序列经过系统的数字处理后, 得到的是一个周期序列. 因此, 可以事先通过计算得到这个周期序列, 并存储下来. 然后, 将这一序列加到 $\{r(n)\}$ 经过处理后得到的序列上, 产生相应的导频信号, 如图 1 中的虚线框所示. 这样处理的好处是可以减少输入码元的字长, 节省了所需的硬件资源, 提高了处理速度.

经过数字处理以后, 使用通用的 D/A 电路(包括 D/A 变换器后面的低通滤波)将数字信号转换为模拟信号. 然后使用正交平衡调幅, 产生符合标准要求的中频信号.

3.3 硬件实现

系统的数字处理部分采用了 Altera 公司的 FPGA 器件 EPF 10K70. D/A 变换器采用了 Harris 公司的 HI5760. 系统中的 D/A 电路和正交平衡调幅电路都是采用的通用技术, 这里就不多加阐述了. 我们主要介绍一下用 FPGA 来实现系统的数字处理部分的过程.

系统数字处理部分电路的设计、模拟和实现均采用 Altera 公司的 MaxPlusII V9.01 开发工具. 首先使用 Altera 公司开发的 AHDL 语言以及工具中提供的功能库, 对先前的硬件设计进行描述. 然后, 进行功能模拟和时序模拟. 为了验证功

能的正确性, 我们先用 C 语言软件模拟系统功能. 数据源采用了由生成多项式 $X^9 + X^7 + X^6 + X^4 + X^3 + X + 1$ 生成的伪随机序列. 将硬件描述的功能模拟之结果与软件模拟的结果相比较, 以修正硬件描述中的错误, 流程如图 10 所示. 经过数字信号处理后, 所得序列的频谱如图 11 所示.

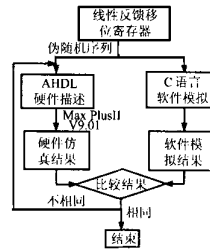


图 10 模拟流程图

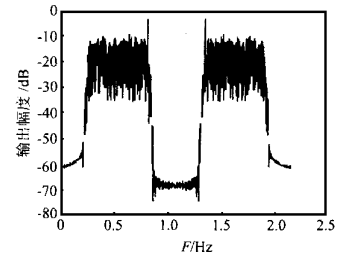


图 11 输出序列的频谱

通过了功能模拟和时序模拟后, 把编译生成的比特流文件下载到 EPF 10K70 中去, 即可实现设计的功能.

4 结束语

文中针对 ATSC 8-VSB Modulator, 提出了一种数字化的设计方案. 通过模拟和硬件实现, 系统达到了设计的要求. 随着超大规模集成电路技术的飞速发展, FPGA 器件的功能密度和速度都有了很大的提高, 使用 FPGA 器件来实现大运算量的高速数字信号处理功能已经成为可能. 这就为我们结合 FPGA 器件的灵活性与数字信号处理的灵活性提供了方便, 大大加快了产品化的速度.

参考文献:

- [1] ATSC Digital Television Standard [S]. ATSC A/53-1995.
- [2] 吴奕彦. 加拿大数字电视地面广播 [J]. 电视技术, 2000(2): 35-40.
- [3] N Boutin. Complex Signals: Part III [J]. RF Design., Mar. 1990: 109-115.
- [4] 宗孔德. 多抽样率信号处理 [M]. 北京: 清华大学出版社, 1996.
- [5] G Sgrignoli, W Bretl, R Citta. VSB Modulation Used for Terrestrial and Cable Broadcasts [J]. IEEE Trans. Consumer Electronics, Aug. 1995, 41(3): 367-382.

作者简介:



蔡祁鹏 男. 1976 年出生于江苏南通, 1998 年在华中理工大学电信系获得学士学位, 并继续在华中理工大学电信系信号与信息处理专业攻读硕士学位. 现从事 HDTV 地面传输系统中数字信号处理方面的研究.